

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274489

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 10-078935

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.03.1998

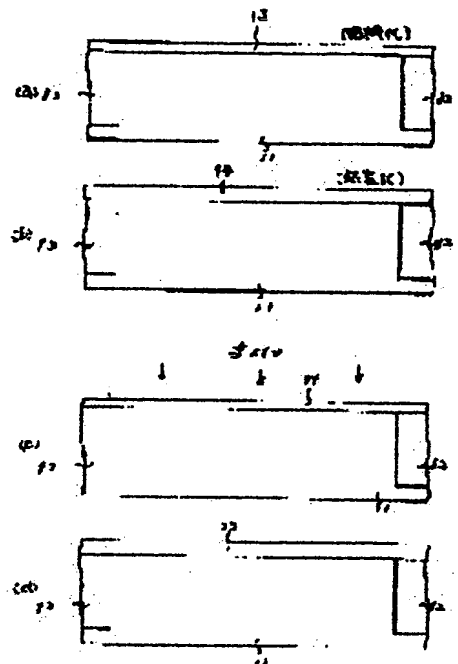
(72)Inventor : SATAKE HIDEKI
CHOKAI AKIRA

(54) FIELD-EFFECT TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To form Si-H junction at a sufficiently high density between a gate electrode and a gate insulating film, by adding deuterium atoms to a gate insulating film in such a manner that a deuterium concentration distribution at the interface between the gate insulating film and a gate electrode is higher than at such an intermediate region of the gate insulating film, as viewed in the direction of the thickness of the gate insulating film.

SOLUTION: A silicon oxide film 13 is formed into a silicon insulating film 14 containing N atoms, by exposing a p-type silicon substrate 11 to a 10% ND₃/90% N₂ gas at a substrate temperature of 900° C. Thereafter, D atoms are added to the film 14 at a high concentration by implanting D⁺ ions into the film 14. The substrate 11 having the film 14 formed thereon is annealed at 850° C in an N₂ gas atmosphere for one minute, so that the introduced D atoms are stabilized to thereby form a silicon insulating film 15 containing N and D atoms. A gate insulating film having a peak concentration of D atoms on the side opposite to the side of the substrate 11 with which the film 15 is in contact. Therefore, Si-H junction can be formed at a sufficiently high density at the gate electrode interface. Here, 'D' denotes deuterium.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274489

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁶

H 0 1 L 29/78
21/336

識別記号

F I

H 0 1 L 29/78

3 0 1 G

3 0 1 P

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平10-78935

(22) 出願日 平成10年(1998)3月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐竹 秀喜

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 鳥海 明

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

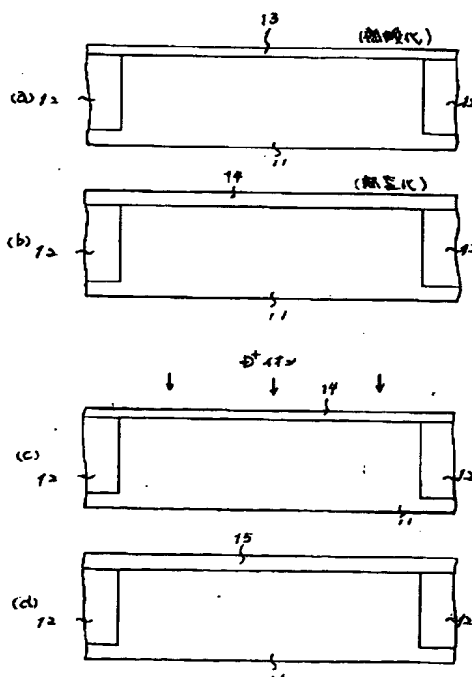
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】 本発明は、電気的な信頼性の高い薄いゲート絶縁膜を実現可能な構造と、その製造方法を提供することを目的としている。

【解決手段】 半導体基板 11 の主表面にゲート絶縁膜 15 を形成する工程と、ゲート絶縁膜とゲート電極との界面の重水素濃度分布が前記ゲート絶縁膜の膜厚方向の中間領域よりも高くなるように前記ゲート絶縁膜に重水素原子を添加する工程を備えることを特徴とする電界効果トランジスタの製造方法及びこの方法により製造された電界効果トランジスタを提供する。



1

【特許請求の範囲】

【請求項 1】半導体基板の主表面あるいは半導体層の主表面を酸素原子と窒素原子とを含む雰囲気中に晒してゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体基板の主表面あるいは前記半導体層の主表面に前記ゲート電極を挟む一対のソース・ドレイン電極を形成する工程とを備える電界効果トランジスタの製造方法において、前記ゲート絶縁膜と前記ゲート電極との界面の重水素濃度分布が前記ゲート絶縁膜の膜厚方向の中間領域よりも高くなるように前記ゲート絶縁膜に重水素原子を添加する工程を備えることを特徴とする電界効果トランジスタの製造方法。

【請求項 2】前記ゲート絶縁膜を形成する工程及び前記ゲート絶縁膜に重水素原子を添加する工程は、前記半導体基板に絶縁膜を形成した後に前記重水素原子と窒素原子の化合物を含むガス中に晒して前記酸化膜に前記重水素原子を導入する工程を含むことを特徴とする請求項 1 記載の電界効果トランジスタの製造方法。

【請求項 3】半導体基板あるいは半導体層と、前記半導体層の主表面あるいは前記半導体層の主表面に形成され、酸素原子、窒素原子、及び重水素原子を含むゲート絶縁膜であって、前記半導体基板あるいは前記半導体層に接する側と反対側の重水素濃度分布が膜厚方向の中間領域よりも高いゲート絶縁膜と、前記ゲート絶縁膜の表面に形成されたゲート電極と、前記半導体層の主表面あるいは前記半導体層の主表面に形成され、前記ゲート電極を両側から挟む一対のソース・ドレイン電極とを具備することを特徴とする電界効果トランジスタ。

【請求項 4】前記ゲート絶縁膜の前記半導体基板あるいは前記半導体層に接する側の重水素濃度分布が膜厚方向の前記中間領域よりも高いことを特徴とする特徴とする請求項 3 記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は重水素を含有するゲート酸化膜を供える電界効果トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】電気的な書き込み消去及びプログラム可能な随時読みだしメモリ (EEPROM) に代表されるような、ゲート酸化膜がトンネル酸化膜として利用される素子では、書き込み及び消去の際に、 10 MV/cm^2 を上回る高い電界がゲート酸化膜に印加される。ゲート酸化膜に上記のような高い電界が印加されることによって、電界から高いエネルギーを得た電子が通過するために、ゲート絶縁膜に対しては高い絶縁破壊耐性が要求される。また、ボロン等のゲート不純物がゲート絶縁膜中に導入され、基板表面に突き抜けることで基板表面の不純物濃度を変動させることにより正常なトランジスタ特

2

性が得られないという不具合も知られている。

【0003】従来技術におけるゲート酸化膜では、形成温度や形成雰囲気中の酸素濃度といったパラメータを変えて種々の酸化膜を形成し、それらの電気的な特性を評価してスペックを満たす条件を使用するという、経験的な手法が取られてきた。しかしながら、製品の種類が多岐に亘るとともに、世代の交替が速くなっている現状では、前記のような経験的な手法による条件決定は、きわめて非効率的であり、製品コストが上昇してしまうという重大な欠点がある。

【0004】また、重水素 (D) を用いた D_2 雰囲気でのポストアニール (900°C 、30 分) がゲート酸化膜の基板界面との界面準位生成の抑制に対して有効であることは既に知られている (N. S. Saks and R. W. Renfell, IEEE Trans. vol. NS-39, pp. 2220-2229, 1992)。しかしながら彼らが検討した方法では、ゲート酸化膜についてのみであった。

【0005】本発明は、電気的な信頼性が高く、かつ、薄いゲート絶縁膜を得るためのゲート絶縁膜構造と、その構造を実現可能するためのゲート絶縁膜の形成手法を提供するものである。

【0006】

【発明が解決しようとする課題】上記のように、形成温度や形成雰囲気中の酸素濃度といったパラメータを変えて種々の酸化膜を形成し、それらの電気的な特性を評価してスペックを満たす条件を使用するという、経験的な手法では、その非効率性が製品コストの上昇をもたらすという、きわめて重大な問題がある。一方で、D 原子を添加することでゲート酸化膜の基板界面との界面準位生成を抑制する技術が開示されている。

【0007】本発明は、上述の問題点を解決することをその目的とし、電気的な信頼性が高い薄いゲート絶縁膜を実現可能な構造と、その製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明の第 1 は、半導体基板の主表面あるいは半導体層の主表面を酸素原子と窒素原子を含む雰囲気中に晒してゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、半導体基板の主表面あるいは半導体層の主表面にゲート電極を挟む一対のソース・ドレイン電極を形成する工程とを備える電界効果トランジスタの製造方法において、ゲート絶縁膜とゲート電極との界面の重水素濃度分布が前記ゲート絶縁膜の膜厚方向の中間領域よりも高くなるように前記ゲート絶縁膜に重水素原子を添加する工程を備えることを特徴とする電界効果トランジスタの製造方法を提供する。

【0009】本発明によれば、従来の技術では決して解消できなかった、トランジスタ特性の劣化及び絶縁膜質の劣化ならびに、製品で使用するプロセス決定までの効

3

率性の悪さという重大な欠点を確実に解消することができる。

【0010】つまり、まず、 Si-H 結合と比較して安定な結合である Si-D 結合をゲート電極界面に十分に高密度に形成することにより、ゲート電極とゲート酸化膜界面とのダングリングボンドをD原子により終端させることが可能となり、後の熱工程等を経てもゲート電極との界面の凹凸の発生を抑制することが可能である。シリコン熱酸化膜ではシリコン酸化膜と比較して格段に界面凹凸が大きく、ここにD原子を導入してその界面構造を安定化させることは極めて効果的である。

【0011】また、ゲート電極とゲート酸化膜界面に高濃度の Si-D 結合を導入することによって、絶縁膜破壊耐性を高めると同時に、ゲート電極側のゲート絶縁膜を構造的に安定で緻密な膜とする。これによりゲート電極からの不純物の侵入を効果的に抑制することが可能となる。これは、 Si-D 結合の存在により、ゲート酸化膜が本質的に持つ多量のダングリングボンドを効率的に修復し、絶縁破壊耐性を飛躍的に向上させるためである。

【0012】なお、本発明の第1において、ゲート絶縁膜を形成する工程及びゲート絶縁膜に重水素原子を添加する工程は、半導体基板に酸化膜を形成した後に重水素原子と窒素原子の化合物を含むガス中に晒して酸化膜に重水素原子を導入する工程を含むことが好ましい。このようにすることで、ゲート電極と酸化膜界面での弱い構造を効果的に安定化することが可能となる。また、このようにすることで、結合エネルギーの大きい Si-N 結合を膜中に導入することが可能となり、従来のゲート酸化膜では多量に存在していた、 Si-H 結合がゲート酸化膜に注入された電子により切断されてできるダングリングボンドの量を低減することが可能である。

【0013】上記課題を解決するために、本発明の第2は、半導体基板あるいは半導体層と、半導体層の主表面あるいは半導体層の主表面に形成され、半導体基板あるいは半導体層に接する側と反対側の重水素濃度分布が膜厚方向の中間領域よりも高いゲート絶縁膜と、ゲート絶縁膜の表面に形成されたゲート電極と、半導体層の主表面あるいは前記半導体層の主表面に形成され、前記ゲート電極を両側から挟む一対のソース・ドレイン電極とを具備することを特徴とする電界効果トランジスタを提供する。

【0014】上記本発明の第2によれば、絶縁膜破壊耐性が十分に高く、ゲート電極側の構造が安定で緻密なゲート絶縁膜であり、さらにゲート電極との界面の凹凸の少ないゲート酸化膜を備える電界効果トランジスタを得られる。つまり、ゲート酸化膜では、 SiO_2 中にN原子を導入する過程で局所的な凹凸が増えるため信頼性の高いトランジスタを得るには凹凸を改善する必要があるが、本発明の第2によれば、優れた改善効果がえら

4

れる。

【0015】上記本発明の第2において、ゲート絶縁膜の半導体基板あるいは半導体層に接する側の重水素濃度分布が膜厚方向の中間領域よりも高いことが好ましい。さらにまた、本発明の第1及び第2において、ゲート絶縁膜の全体に重水素が添加されていることが好ましい。ゲート酸化膜の絶縁破壊機構はダングリングボンドに正孔がトラップされてできた三価のシリコン原子構造が、シリコン基板からゲート電極まで連結した際に、この連結部が電子のリークパスとなって絶縁破壊が起こる。一方、ストレスリーク電流は、ゲート酸化膜のほぼ中心に位置するダングリングボンドが電子がトンネリングする際の“飛び石”として作用する。従って、ゲート酸化膜厚の膜厚方向の全領域にわたってダングリングボンドができない構造とすることが、電気的な信頼性が高いゲート酸化膜を得るためのエッセンスである。また、発明者は、 Si-H 結合量と弱い Si-O 結合量は独立に決定されているのではなく、相互に比例関係を持って、膜中に存在していることも明らかにした。つまり、膜中全体にわたって Si-H 結合の量を低減することで、きわめて電気的信頼性の高いゲート酸化膜を実現できるものである。

【0016】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

(第1の実施の形態) 本発明の第1の実施の形態にかかわるnチャネルMOS電界効果トランジスタ(FET)の製造方法を図1(a)、図1(b)、図1(c)、図2、図3、及び図4(a)及び図4(b)を用いて説明する。

【0017】まず、図1(a)に示すように、p型シリコン基板11の主表面の浅い溝に絶縁材料を埋め込めとにより素子分離領域21を素子領域を囲むように形成した後、例えば基板温度を750℃とし、常圧において乾燥酸素雰囲気中に10分間晒してp型シリコン基板11の主表面に10オングストロームのシリコン酸化膜13を形成する。

【0018】続いて、例えば基板温度900℃、常圧において10%ND₃/90%N₂ガス中に晒して、シリコン酸化膜13をN原子を含むシリコン絶縁膜とする。その後、加速電圧が例えば10keV、ドーズ量 $1.1 \times 10^{15} \text{ cm}^{-2}$ の条件でD⁺イオンをシリコン絶縁膜14にイオン注入して図1(c)に示すように、高濃度にD原子をシリコン絶縁膜14中に添加する。

【0019】さらに、このシリコン絶縁膜14を形成したp型シリコン基板11を基板温度850℃、1分間のN₂ガス雰囲気中でアニールして導入したD原子を安定化させて、図1(d)に示すように、N原子とD原子を含むシリコン絶縁膜(オキシナイトライド膜)15を形成する。